



**UNIVERSITÀ DEGLI STUDI DELL'AQUILA
FACOLTÀ DI INGEGNERIA**

**Prof. Luigi Pomante
Curriculum scientifico**

(Aggiornato il 6/12/2009)

POMANTE LUIGI - Curriculum Scientifico (aggiornato al 06/12/2009)

INFORMAZIONI GENERALI

Nome e Cognome: Luigi Pomante

Data di nascita: 01/10/1972

Luogo di nascita: Giulianova (TE)

Nazionalità: italiana

Contatti: luigi@pomante.net, www.pomante.net

ATTIVITÀ PRINCIPALI

da Novembre 2008

Ricercatore a tempo determinato

- Centro di Eccellenza per la Ricerca DEWS, Università degli Studi dell'Aquila - Facoltà di Ingegneria

da Maggio 2008 a Ottobre 2008

Assegno di ricerca

- Centro di Eccellenza per la Ricerca DEWS

dal 1999

Collaboratore per Ricerca, Sviluppo e Innovazione

- da Gennaio 2006: WEST Aquila S.r.l.

- Gennaio 2006-Aprile 2008: Centro di Eccellenza per la Ricerca DEWS

- Luglio-Dicembre 2005: Dipartimento di Ingegneria Elettrica e dell'Informazione (DIEI), Università degli Studi dell'Aquila - Facoltà di Ingegneria

- Luglio 1999-Luglio 2005: Centro di Eccellenza per Ricerca e Formazione CEFRIEL, Digital Technologies and Operating Systems Unit - Politecnico di Milano

Docente

- Politecnico di Milano, Università dell'Aquila, Centro CEFRIEL, Formazione Industriale

Tutor, co-relatore e relatore per tesi di master e di laurea

- Politecnico di Milano, Centro CEFRIEL, Università degli Studi dell'Aquila

2002

Dottorato di Ricerca in Ingegneria Informatica e Automatica

- Politecnico di Milano - Dipartimento di Elettronica e Informazione (DEI)

1999

Master in Information Technology

- Centro CEFRIEL (Area Electronic Design Automation)

1998

Laurea in Ingegneria Informatica e Automatica

- Politecnico di Milano - Dipartimento di Elettronica e Informazione (DEI)

FORMAZIONE

2002

Dottorato di Ricerca in Ingegneria Informatica e Automatica

- Politecnico di Milano (Dipartimento di Elettronica e Informazione, DEI)

Tesi: ?System-Level Co-Design of Heterogeneous Multiprocessor Embedded Systems?

1999

Master in Information Technology (100/100 L)

(dal 2002 Master di Ilo Livello del Politecnico di Milano)

- Centro CEFRIEL (Area Electronic Design Automation, EDA)

ICT Center of Excellence For Research, Innovation, Education and industrial Labs partnership, Via Fucini 2, 20133, Milano

Tesi: ?Co-Simulazione HW/SW a livello di sistema?

1998

Laurea in Ingegneria Informatica e Automatica (83/100)

Indirizzo/Orientamento: Applicazioni e Sistemi Informatici/Sistemi di Elaborazione

- Politecnico di Milano (Dipartimento di Elettronica e Informazione, DEI)

Tesi: ?La qualità dei dispositivi con proprietà di autodiagnosi: una metodologia di valutazione innovativa?

1991

Diploma di Maturità Tecnica in Informatica Industriale (58/60)

- I.T.I.S. ?G. e M. Montani? di Fermo (AP)

PUBBLICAZIONI

CONFERENZE INTERNAZIONALI CON COMITATO SCIENTIFICO DI REVISIONE

[IC.1] con D. Sciuto, C. Bolchini, F. Salice. ?A Synthesis methodology aimed at improving the quality of TSC devices?, Proceedings of IEEE International Symposium on Defect and Fault Tolerance in VLSI System (IEEE DFT 1999), New Mexico (USA), Novembre 1999, pp. 247-255.

[IC.2] ?Co-design of Multiprocessor Embedded Systems: an Heuristic Multi-Level Partitioning Methodology?, Proceedings on IFIP International Conference on Chip Design Automation (IFIP ICDA 2000), Pechino (Cina),

Agosto 2000, pp. 421-425.

[IC.3] con D. Sciuto, F. Salice, W. Fornaciari, C. Brandolese. "A Multi-Level Strategy for Software Power Estimation", Proceedings of IEEE International Symposium on System Synthesis (IEEE ISSS 2000), Madrid (Spagna), Settembre 2000, pp. 187-192.

[IC.4] con D. Sciuto, F. Salice, C. Bolchini. "Reliability properties Assessment at System Level: A Co-Design Framework", Proceedings of 7th IEEE International On-Line Testing Workshop (IEEE IOLTW 2001), Taormina (Italia), Luglio 2001, pp. 165-171.

[IC.5] con D. Sciuto, F. Salice, W. Fornaciari. "HW/SW Timing Simulation Environment for Multiprocessor Embedded Systems", 5th World Multi-Conference on Systemics, Cybernetics and Informatics (SCI 2001), Orlando (USA), Luglio 2001, vol. XV, Industrial Systems parte II, pp. 191-195.

[IC.6] con D. Sciuto, F. Salice, C. Bolchini. "On-Line Fault Detection in a Hardware/Software Co-design Environment: System Partitioning", Proceedings of 14th IEEE/ACM International Symposium on System Synthesis (IEEE/ACM ISSS 2001), Montreal (Canada), Ottobre 2001, pp. 51-56.

[IC.7] con W. Fornaciari, F. Salice, D. Sciuto. "Metrics for Design Space Exploration of Heterogeneous Multiprocessor Embedded System", IEEE/ACM International Workshop on Hardware Software Co-Design (IEEE/ACM CODES 2002), Colorado (USA), Maggio 2002, pp. 55-60.

[IC.8] con C. Bolchini, F. Salice, D. Sciuto. "A System Level Approach in Designing Dual-Duplex Fault Tolerant Embedded Systems", IEEE International On-Line Testing Workshop (IEEE IOLTW 2002), Isle of Bendor (Francia), Luglio 2002, pp. 32-36.

[IC.9] con W. Fornaciari, M. Bombana. "SystemC-Plus Complex Data Type for Telecom Applications", Proceedings of Forum on Specification and Design Languages (FDL 2002), vol. 2, Marsiglia (Francia), Settembre 2002.

[IC.10] con M. Bombana. "SystemC-Based Library Approach for Data-intensive Applications", Conference on Design of Circuits and Integrated Systems (DCIS 2002), Santander (Spagna), Novembre 2002.

[IC.11] con W. Fornaciari, F. Salice, L. Del Vecchio. "Partitioning of Embedded Applications onto Heterogeneous Multiprocessor Architectures", ACM Symposium on Applied Computing (ACM SAC 2003), Florida (USA), Marzo 2003, pp. 661-665.

[IC.12] Con F. Salice, W. Fornaciari, D. Sciuto. "An Internal Representation Model for System-Level Co-Design of Heterogeneous Multiprocessor Embedded System", Forum on Specification and Design Languages (FDL 2003), Francoforte (Germania), Settembre 2003. pp. 669-679.

[IC.13] Con R. Farina, L. Pizzamiglio. "System Design using SystemC-Plus: A Case Study in the Telecom Domain", International Conference on Cybernetics and Information Technologies, Systems and Applications (CITSA 2004) and the 10th International Conference on Information Systems Analysis and Synthesis (ISAS 2004), Orlando (USA), Luglio 21-25, 2004.

[IC.14] Con R. Farina, L. Pizzamiglio, "Experimenting Object-Oriented System-Level Design in the ATM domain", Forum on Specification and Design Languages (FDL 2004), Lille (Francia), Settembre 2004.

[IC.15] "Exploiting Polymorphism in the HW Design: a Case Study in the ATM Domain", CODES+ISSS 2004, Stoccolma, Settembre 2004.

[IC.16] Con A. Miele, F. Salice, C. Bolchini, D. Sciuto, "Reliable System Co-Design: the FIR Case Study", IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems (DFT 2004), Ottobre 2004, Cannes (Francia).

[IC.17] Con F. Salice, C. Bolchini, D. Sciuto, "Reliable System Specification for Self-Checking Data-Paths", Design, Automation and Test in Europe ? Conference & Exhibition (DATE 2005), Marzo 2005, Monaco (Germania).

- [IC.18] Con C. Brandolese, D. Scarpazza, P. Di Felice, "Parsing SystemC: an open-source, easy to extend parser?", IADIS Applied Computing Conference, Febbraio 2006, San Sebastian (Spagna).
- [IC.19] Con P. Di Felice, "Integration of Spatial Data Types and Operators into Relational DBMSs: A Survey?", IADIS Applied Computing Conference, Febbraio 2006, San Sebastian (Spagna).
- [IC.20] Con C. Brandolese, W. Fornaciari, F. Salice, R. Zafalon, "DPM at OS level: low-power scheduling policies?", 5th WSEAS International Conference on CIRCUITS, SYSTEMS, ELECTRONICS, CONTROL & SIGNAL PROCESSING (CSECS '06), Dallas, Texas, USA, Novembre 2006.
- [IC.21] Con P. Di Felice, "Ad-hoc HW/SW Architectures for DBMSs: a Co-Design Approach?", WSEAS International Conferences 2007 (AIKED, SEPADS, EHAC and ISPRA), Corfù, Grecia, Febbraio 2007.
- [IC.22] Con F. Graziosi, L. Imbriglio, "Topology-aware System Design Exploration for Embedded Applications implemented onto Heterogeneous Multiprocessor SoC?", IEEE International Conference on Design & Technology of Integrated Systems (DTIS2008), Marzo 2008, Tozeur (Tunisia).
- [IC.23] Con P. Di Felice, M. Ianni, "A spatial extension of TinyDB for wireless sensor networks?", IEEE Symposium on Computers and Communications (ISCC'08), Luglio 2008, Marrakech (Marocco).
- [IC.24] Con F. Graziosi, F. Santucci, C. Rinaldi, S. Tennina, C. Fischione, "Mining Ventilation Control: Wireless Sensing, Communication Architecture and Advanced Services?". 4th Annual IEEE Conference on Automation Science and Engineering (CASE 2008), Agosto 2008, Washington DC (USA).
- [IC.25] Con F. Graziosi, C. Rinaldi, "Exploiting WSN for audio surveillance applications: the VoWSN approach?", 11th IEEE Euromicro Conference on Digital System Design (DSD'08), Parma (Italia), Settembre 2008.
- [IC.26] "A System-Level Co-Design Methodology for DBMS-Specific Architectures?", 11th IEEE Euromicro Conference on Digital System Design (DSD'08, WIP-SS), Parma (Italia), Settembre 2008.
- [IC.27] Con F. Graziosi, D. Pacifico, "A Middleware-Based Approach for Heterogeneous Wireless Sensor Networks?". The 12th WSEAS International Conference on COMMUNICATIONS (part of the 12th WSEAS CSCC Multiconference), Creta (Grecia), Luglio 2008.
- [IC.28] Con S. Tennina, F. Graziosi, M. Di Renzo, R. Alesii, F. Santucci, "Localization, tracking, and automatic personal identification in GPS-denied environments: a solution based on a wireless biometric badge?", 5th ICST/IEEE/ACM TridentCom, Washington DC (USA), Aprile 2009.
- [IC.29] Con F. Graziosi, L. Imbriglio, "Application-Specific System-Level Design Space Exploration for Heterogeneous Multiprocessor Embedded Platforms?". DATE'09 Workshop on Designing for Embedded Parallel Computing Platforms: Architectures, Design Tools, and Applications (Poster), Nizza, Aprile 2009.
- [IC.30] Con P. Di Felice, "Ad-hoc Architectures for modern DBMS: a HW/SW Co-Design Approach?". DATE'09 Workshop on Designing for Embedded Parallel Computing Platforms: Architectures, Design Tools, and Applications (Poster), Nizza, Aprile 2009.
- [IC.31] Con F. Graziosi, L. Imbriglio, "System-Level Design Space Exploration for Application-Specific HW/SW Systems?". 2009 IEEE Toronto International Conference-Science and Technology for Humanity (TIC-STH 2009): Symposium on Electronic Design Automation, Toronto, Settembre 2009.
- [IC.32] Con S. Tennina, F. Graziosi, M. Di Renzo, R. Alesii, F. Santucci, "Distributed Localization, Tracking, and Automatic Personal Identification: A Solution based on a Wireless Biometric Badge". 4th ACM Int. Workshop on Wireless Network Testbeds, Experimental Evaluation and Characterization, Pechino, Settembre 2009.
- [IC.33] Con S. Tennina, F. Graziosi, M. Di Renzo, R. Alesii, F. Santucci, "Integrated GPS-denied Localization, Tracking and Automatic Personal Identification". 7th ACM Conf. on Embedded Networked Sensor Systems,

Berkeley (California), Novembre 2009.

[IC.34] Con F. Santucci, M. Pugliese. "Agent-based Scalable Design of a Cross-Layer Security Framework for Wireless Sensor Networks Monitoring Applications". IEEE International Workshop on Scalable Ad Hoc and Sensor Networks, San Pietroburgo, Ottobre 2009.

CAPITOLI DI LIBRI INTERNAZIONALI

[BK.1] con W. Fornaciari, M. Bombana. "SystemC-Plus Complex Data Type for Telecom Applications", System Specification and Design Languages (best of FDL'02), CHDL Series, Kluwer, 2003, pp. 219-229.

[BK.2] con R. Alesii, G. Gargano, F. Graziosi, C. Rinaldi. "WSN-based Audio Surveillance Systems", SPRINGER VERLAG Book - Springer Verlag Lecture Notes Series, 2009.

[BK.3] Con S. Tennina, F. Graziosi, M. Di Renzo, R. Alesii, F. Santucci. "Integrated GPS-denied Localization, Tracking and Automatic Personal Identification". 20th Tyrrhenian International Workshop on Digital Communications, Springer Book Series 2009.

RIVISTE INTERNAZIONALI

[JR.1] con D. Sciuto, F. Salice, W. Fornaciari. "Hw/Sw Cosimulation for Fast Design Space Exploration of Multiprocessor Embedded Systems", Canadian Journal of Electrical and Computer Engineering (CJECE), vol. 26, n. 3/4, Luglio/Ottobre 2001, pp.135-140.

[JR.2] con C. Bolchini, F. Salice, D. Sciuto. "Reliability Properties Assessment at System Level: a Co Design Framework", Journal of Electronic Testing - Theory and Application (JETTA), Kluwer Academic Publishers, The Netherlands, Vol. 18, no. 3, p. 351-356, 2002 (ISSN 0923-8174)

[JR.3] con C. Bolchini, F. Salice, D. Sciuto. "The Design of Reliable Devices for Mission Critical Applications", IEEE Trans. on Instrumentation and Measurement (TIM), Vol. 52, no. 6, pp. 1703-1712, 2003 ISSN:0018-9456/03.

[JR.4] con D. Sciuto, F. Salice, W. Fornaciari, C. Brandolese. "Affinity-Driven System Design Exploration for Heterogeneous Multiprocessor SoC", IEEE Transactions on Computers, vol. 55, no. 5, Maggio 2006.

[JR.5] Con C. Brandolese, W. Fornaciari, F. Salice, R. Zafalon, "Energy Aware Scheduling of Processes at OS Level", WSEAS Transactions on CIRCUITS and SYSTEMS, Issue 12, Vol. 5, Dicembre 2006, ISSN 1109-2734.

[JR.6] Con P. Di Felice, "A System-Level HW/SW Co-Design Methodology for Ad-Hoc Implementation of DBMS Operators", WSEAS TRANSACTIONS on COMPUTER RESEARCH, Issue 2, Volume 2, February 2007 ISSN 1991-8755.

TESI

[TH.1] "La qualità dei dispositivi con proprietà di autodiagnosi: una metodologia di valutazione innovativa", Tesi di Laurea, Politecnico di Milano - DEI, Milano 1998.

[TH.2] "Co-Simulazione HW/SW a livello di sistema", Tesi di Master, XIo Master IT, Centro CEFRIEL, Milano 1999.

[TH.3] "System-Level Co-Design of Heterogeneous Multiprocessor Embedded Systems", Tesi di Dottorato, Politecnico di Milano ? DEI, Milano 2002.

ALTRO

- [RP.1] "An overview of parallel-embedded architectures for real-time applications?", Rapporto Interno No. 2000.25, Politecnico di Milano ? DEI, Milano 2000.
- [RP.2] "System Level Concurrent Error Detection?", Rapporto Interno No. 2001.62, Politecnico di Milano ? DEI, Milano 2001.
- [RP.3] con W. Fornaciari. "SystemC+: Generic Class Library User Guide?", IST Project N. 1999-11476 - Odette, <http://odette.offis.de/>.
- [RP.4] Con P. Di Felice, "Integration of spatial data types and operators into relational DBMSs: a survey?", Rapporto Interno R.06-84, Università dell'Aquila-DIEI, 2006.
- [RP.5] Con P. Di Felice, Carlo Brandolese, Daniele Scarpazza, "Parsing SystemC: an open-source, easy to extend parser?", Rapporto Interno R.06-85, Università dell'Aquila, 2006.